

SERIAL SIGNAL RECEIVER

シリアル信号受信 IC

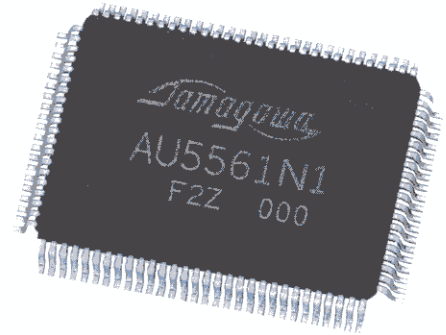
AU5561N1

AU5561N1 which is a serial signal receiver IC dedicated to TS5640, provides serial-to-parallel conversion of 40 to 110 bit signals, and interfaces with a 16/32 bit CPU bus or DSP bus.

AU5561N1 Provides interrupt signals to synchronize with a CPU. It can also read the encoder data without a CPU in two ways (Manual Mode) : ID3 (Single turn data, Multiturn data, & Alarm)

エンコーダから伝送されるシリアル信号 (40bit~110bit, 2.5Mbit) のパラレル変換と、16bit および 32bit CPU バスあるいは DSP バスへのインターフェース機能をもった TS5647, TS5648 専用のシリアル信号受信 IC です。

AU5561N1 は割り込み信号出力をもっており、CPU との同期が可能で
す。また、CPU を使用せずにエンコーダデータを読み出すために ID3 (1
回転データ + 多回転データ + アラーム) モードのマニュアル読み出し
機能を備えています。



SPECIFICATIONS

仕様

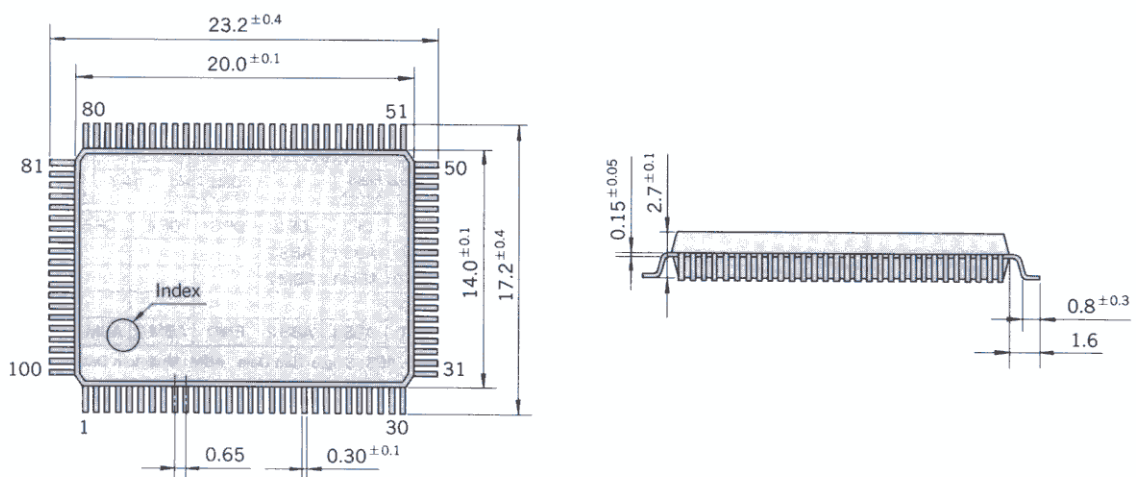
| | |
|--------------------------------------|---|
| Supply Voltage 電源電圧 | 5.0 V \pm 10 % |
| Supply Current 電源電流 | 40 mA Max. |
| Permissible Voltage 許容入力電圧 | Max. : V _{DD} Min. : V _{SS} |
| Output Current/Terminal 出力電流 / 端子 | \pm 24 mA Max. |
| Permissible Dissipation 許容損失 | \pm 200 mW Max. |
| Operating Temperature 動作温度 | -10°C ~ +85°C |
| Storage Temperature 保存温度 | -65°C ~ +150°C |

※For details, please refer to operation manuals, 801100401E50
詳細は AU5561N1 取扱説明書、(801100401E50) を参照下さい。

OUTLINE

外形図

Unit in mm 単位 mm



READING FORMAT リードフォーマット

Reading Format (Encoder data map) in 16 bit CPU/DSP Mode
16 bit CPU (DSP) モードデータ続出し (エンコーダデータマップ) ID0,3 の場合

| ID No. | Address アドレス | | | DATA | | | | | | | | | | | | | | | | | |
|--------|-----------------|----|----|-------------------------------|----|----|----|----|----|----|----|---------------------------------|--------------------------|-----|-----|-----|-----|-----|-----|---|---|
| | A2 | A1 | A0 | D0 | D1 | D2 | D3 | D4 | D5 | D6 | D7 | D8 | D9 | D10 | D11 | D12 | D13 | D14 | D15 | | |
| ID0 | 0 | 0 | 0 | Transmission ID 送信 ID | | | | | | | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 0 | 1 | Control Data コントロールデータ | | | | | | | | LSB Single Turn Data シングルターンデータ | | | | | | | | | |
| | 0 | 1 | 0 | Single Turn Data シングルターンデータ | | | | | | | | | | MSB | | bit | | | | | |
| | 0 | 1 | 1 | Status Field ステータスフィールド | | | | | | | | CRC | | | | | | | | | |
| | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Communication Error Data | | | | | | | | |
| ID3 | 0 | 0 | 0 | Transmission ID 送信 ID | | | | | | | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 0 | 1 | Control Data コントロールデータ | | | | | | | | LSB Single Turn Data シングルターンデータ | | | | | | | | | |
| | 0 | 1 | 0 | Single Turn Data シングルターンデータ | | | | | | | | | | MSB | | bit | | | | | |
| | 0 | 1 | 1 | Encoder ID (I0) エンコーダ ID (I0) | | | | | | | | LSB Multiturn Data マルチターンデータ | | | | | | | | | |
| | 1 | 0 | 0 | Multiturn Data マルチターンデータ | | | | | | | | MSB | | | | | | | | | |
| | 1 | 0 | 1 | Alarm Data アラームデータ | | | | | | | | Status Field ステータスフィールド | | | | | | | | | |
| | 1 | 1 | 0 | CRC | | | | | | | | | | | | | | | | | |

DATA FORMAT データフォーマット

Request Output
リクエスト出力



Data Input (Reception)
入力(受信)

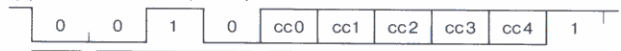


CF : Control Field コントロールフィールド
SF : Status Field ステータスフィールド
DF0-n : Data Frame データフィールド
DF は n ≤ 7

FIELD FORMAT 各フィールドフォーマット

(1) Control Field

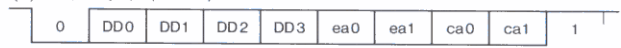
(1) コントロールフィールド



Start Bit スタートビット Sync Code シンクコード ID Code ID コード Delimiter デリミット

(2) Status Field

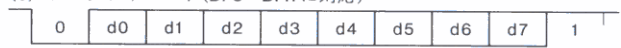
(2) ステータスフィールド



Start Bit スタートビット Information Code インフォメーションコード Encoder Alarm エンコーダアラーム Communication Alarm 通信アラーム Delimiter デリミット

(3) Data Field

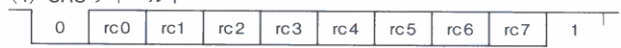
(3) データフィールド (DF0~DFn に対応)



Start Bit スタートビット Data (LSB First) データ (LSB ファースト) Delimiter デリミット

(4) CRC Field

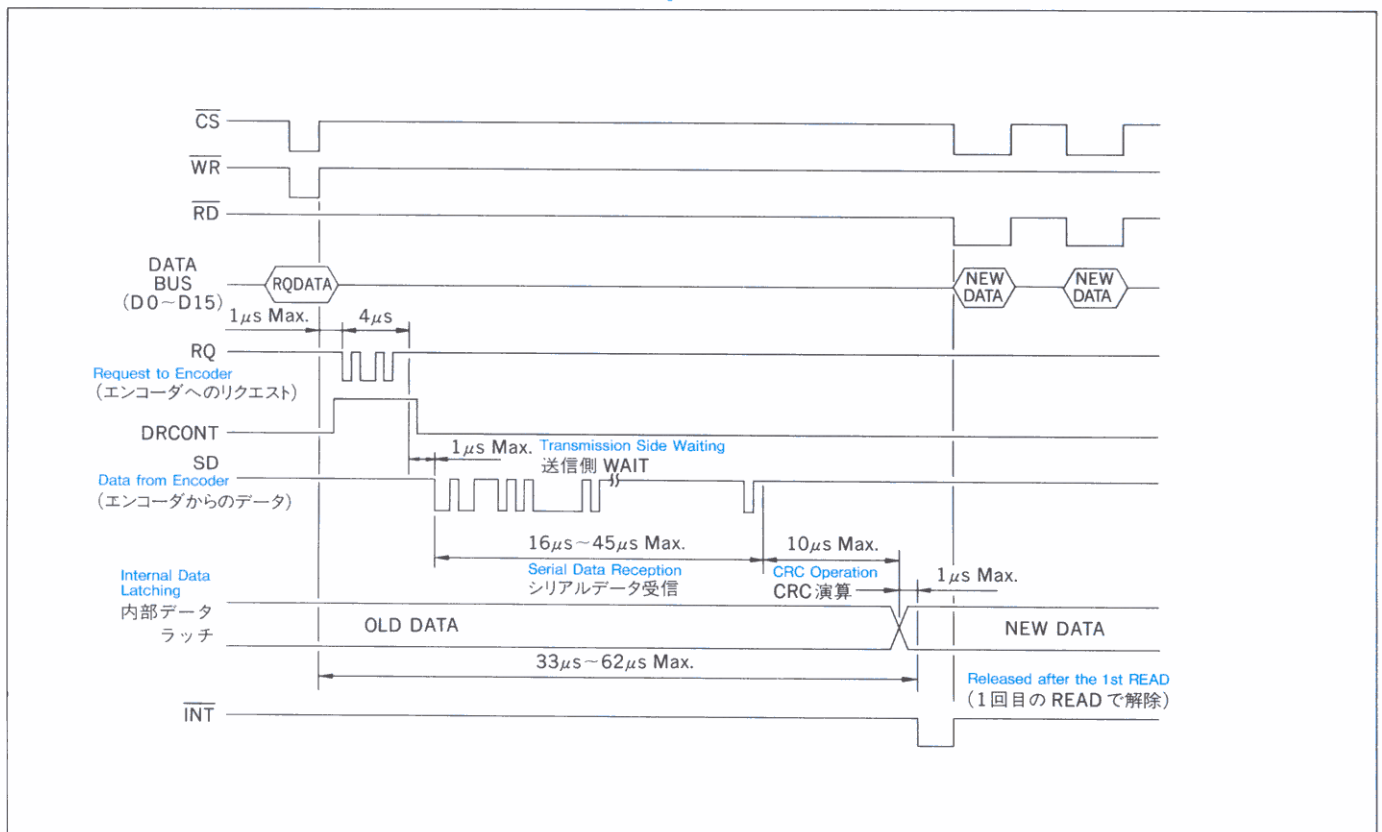
(4) CRC フィールド



Start Bit スタートビット Data (CRC Code, LSB First) データ (CRC コード, LSB ファースト) Delimiter デリミット

SCHEMATIC IN I/O SIGNALING (at 2.5 Mbps)

I/O 信号全体の流れ (2.5Mbps 時)



TIME SEQUENCE IN CPU MODE (16 bit)
タイムシーケンス CPUモード(16bit)の例

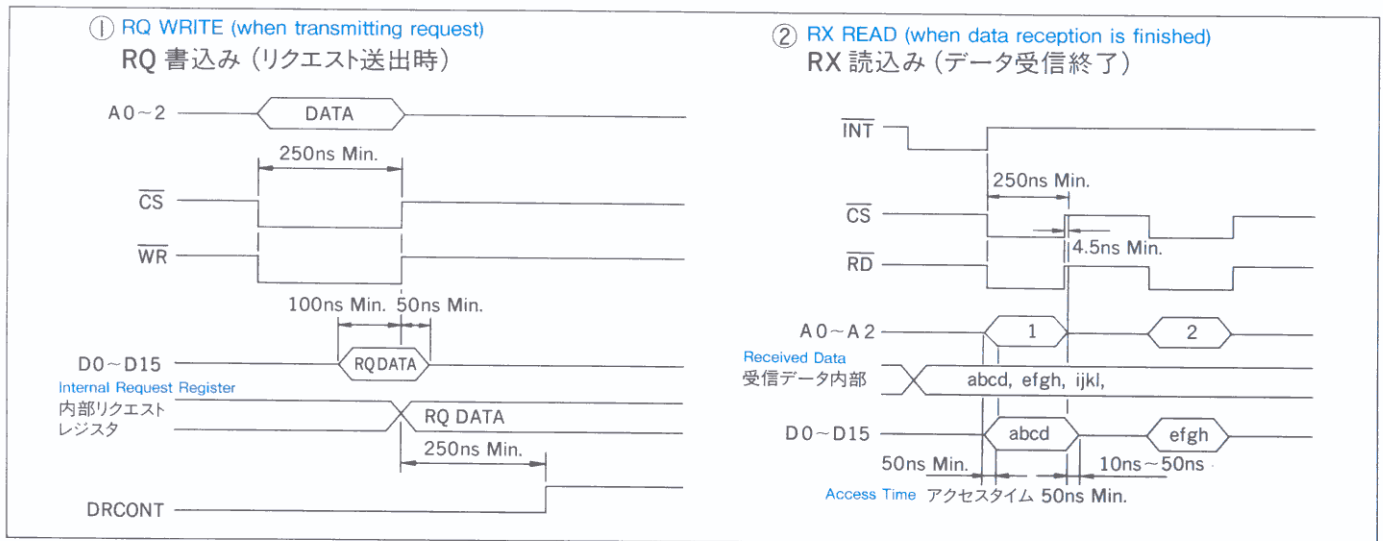


TABLE OF TERMINALS/FUNCTIONS
端子と機能一覧

*For details, please refer to operation manuals, 801100401E50 for TS5640
 詳細は AU5561N1 取扱説明書、TS5640用(801100401E50)を参照下さい。

| TERMINAL CODE 端子名 | I/O/T* | FUNCTION 機能説明 | PIN No. |
|----------------------|---------|---|-------------------------------|
| SRQ | 0 | Outputs Request data. Open when not used. リクエストデータ出力。未使用時はオープン。 | 8 |
| SDTS | Ipu/O/T | Outputs communication direction of Serial data/Request. Usually in reception mode; turns to be in transmission mode when ID code is transmitted. H when not used. シリアルデータとリクエストデータの双方向を出力する端子。通常は受信状態でICコードが送出されるとモード変更され送信モードになる。IDコードを送出し終わると受信モードにまたもどる。未使用時はH固定。 | 10 |
| DRCONT | 0 | Shows status of SDTS terminal; outputs H in transmission mode, L in reception mode. Open when not used. SDTS端子の状態を示す。送出中はH、受信モードはLを出力する。未使用時はオープン。 | 11 |
| D0~D15 | I/O/T | Outputs bus signals in Manual Mode; otherwise functions as 16 bit I/O bus. Request data are written here. マニュアルモード時出力バス。通常は16bit入出力バス。リクエストデータはここで書き込みます。 | See connection table 接続表参照 |
| D16~D31 | O/T | Upward block of data bus. Tri-state in 32 bit mode; N.C in 16 bit mode. For output only in Manual Mode. データバス上位側。32bitモードの時は、トライステート。16bitモードでは未接続となります。マニュアルモードでは出力専用。 | See connection table 接続表参照 |
| M32~M39 | 0 | Upward block of data bus. For output only in Manual Mode. データバス上位側。マニュアルモードでは、出力専用。 | See connection table 接続表参照 |
| DMODE | IPD | Inputs data mode control. L in 32 bit mode. H in 16 bit mode. データモードコントロール入力。32bitモードはL、16bitモードはHを入力。 | 73 |
| TEST1 TEST2 | Ipu | Test terminal for simulation. Usually fixed at L. シミュレーション用テスト端子。通常はLに固定する。 | 84~87 |
| RQBUSY | 0 | Outputs busy signal of Request. Monitor signal to know ASIC is transmitting Request. リクエストBUSY信号。ASICが送信中であることを示すモニタ用信号。 | 12 |
| RXBUSY | 0 | Outputs busy signal of reception. Monitor signal to know ASIC is receiving data. 受信BUSY信号。ASICが受信中であることを示すモニタ用信号。 | 13 |
| DS40 | Ipu | Selecting output data in Manual Mode. マニュアルモード時の出力データを選択。 | 74 |
| TIMOT | 0 | Time-out error. Outputs H when serial data is not received for a Request code. タイムアウトエラー。リクエスト信号に対し、シリアルデータがかえってこない時Hを出力。 | 89 |
| SYSRES | Ipu | Inputs system reset signal. システムリセット入力 | 2 |
| STRB | Ipu | Shows address is efficient in DSP Mode. Used for internal data latch. Used as WRITE signal in CPU Mode. DSPモードの時、アドレス有効であることを示す。データの内部ラッチに使用。CPUモードでWRITE信号として使用。 | 70 |

| TERMINAL CODE 端子名 | I/O/T* | FUNCTION 機能説明 | PIN No. |
|----------------------|--------|--|----------------|
| ABSMD | I | Fixed input of H. "H"入力に固定 | 83 |
| X1 | I | Clock input. 20MHz +/- 0.05% クロック入力 20MHz ± 0.05% | 4 |
| X2 | 0 | Clock output. Inverse phase of X1. クロック出力 X1と逆位相 | 5 |
| SDAT | I | Inputs serial data. シリアルデータ入力 | 9 |
| INRQ | I | Setting Request cycle in Manual Mode. マニュアルモード時、リクエスト周期の入力設定 | 77 |
| INT | 0 | Interrupt signal. L when data reception is finished. Released when output data or RD are accessed. In Manual Mode, outputs 1μsec L pulse. 割込み出力信号。この信号がLになるとデータ受信終了。出力データ、RDをアクセスすると解除されます。DSPモードでは、IS+CSにより解除。マニュアルモードでは、1μsec.のLパルスを出力。 | 62 |
| CPUM | Ipu | Selecting L for CPU Mode. H for DSP Mode. DSPモードかCPUかを選択入力。 L: CPUモード、H: DSPモード | 72 |
| CS | Ipu | Signal to control ASIC. L to stop ASIC operation, H to stop I/O operation of ASIC. Transmission/Reception block works regardless of this CS. Used to input address code. ASICの制御信号。LでASIC動作、HでASICはI/O動作を停止します。送受信ブロックはCSの動作に関係なく動作します。アドレスコード入力時に使用。 | 67 |
| RQ MODE | I | Only in 16 bit mode (at DMODE), Request is made in Manual Mode with L. DMODEが16bitモードの時のみ、この端子をLにするとリクエストがマニュアルモードとなる。 | 78 |
| RQ STB | I | Inputting L in a Manual-Mode Request enables to transmit a specific Request code after recognized at trailing edge of next clock. マニュアルモードリクエストの時、Lの状態を加えると次のCLKの立下りで取込まれ、固有のリクエストコードが送信されます。 | 81 |
| RQC0 RQC1 | I | Determining Request codes in Manual Mode. マニュアルモード時のリクエストコードを決定する。 | 79 80 |
| IS | Ipu | Used to synchronize with DSP in conjunction with CS in DSP Mode. L in CPU Mode. DSPモードの時、CS信号と併用してDSPの同期用として使用。CPUモード時はLにする。 | 71 |
| R/W | Ipu | Inputs READ/WRITE signals in DSP Mode. Inputs READ signals in CPU Mode. Usually fixed at H for READ mode. DSPモードの時、READ/WRITE信号として動作。通常は読み出しモードのHにしておく。CPUモードではREAD信号として動作。 | 69 |
| A0 A1 A2 | I | Inputs address. Used for internal control by connecting LSB-side address from CPU. アドレス入力端子。CPUからのLSB側アドレスを接続して内部コントロールに使用。 | 66 65 64 |

I: Input O: Output T: Tristate Ipu: Input & Pull-up IPD: Input & pull-down